|  |
| --- |
| МИНИСТЕРСТВО НАУКИ И ВЫСШЕГО ОБРАЗОВАНИЯ РОССИЙСКОЙ ФЕДЕРАЦИИ |
| ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ АВТОНОМНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ высшего образования |
| **«Национальный исследовательский ядерный университет «МИФИ»** |
| ИНСТИТУТ ИНТЕЛЛЕКТУАЛЬНЫХ КИБЕРНЕТИЧЕСКИХ СИСТЕМ |
| КАФЕДРА «КОМПЬЮТЕРНЫЕ СИСТЕМЫ И ТЕХНОЛОГИИ» (№12) |

**КУРСОВАЯ РАБОТА**

**по дисциплине**

**СХЕМОТЕХНИКА ЦИФРОВЫХ УСТРОЙСТВ**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Тема: Модуль управления ЦАП** | | | | |
| Студент | Крыгин Олег Игоревич, Полухин Илья Александрович | | Группа | С20-501 |
|  | ФИО | |  |  |
| Руководитель | | Решетько Валерий Михайлович | | |
|  | | ФИО | | |

**Москва, 2022**

**ОГЛАВЛЕНИЕ**

[ВВЕДЕНИЕ 3](#_Toc122953744)

[1. СПЕЦИФИКАЦИЯ 4](#_Toc122953745)

[2. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ 5](#_Toc122953746)

[2.1. Пояснения к сигналам 6](#_Toc122953747)

[2.1.1. Входные сигналы 6](#_Toc122953748)

[2.1.2. Выходные сигналы 6](#_Toc122953749)

[3. ОТЧЁТ О ВЕРИФИКАЦИИ 7](#_Toc122953750)

[3.1. Верификация модуля 7](#_Toc122953751)

[3.2. Проверка согласования с соседними модулями 8](#_Toc122953752)

[4. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ 9](#_Toc122953753)

[ЗАКЛЮЧЕНИЕ 11](#_Toc122953754)

**ВВЕДЕНИЕ**

Модуль управления ЦАП служит для формирования данных, необходимых для работы ЦАП (тактовой частоты, сигнала выбора канала (синфазный или квадратурный сигнал), сигнала разрешения записи и цифрового сигнала, который необходимо преобразовать в аналоговый). Полученный цифровой сигнал отправляется с отладочной платы на разработанную, где далее преобразуется в аналоговый сигнал.

Узел цифро-аналогового преобразования предназначен для преобразования цифрового сигнала, поступающего с отладочной платы, в аналоговый.

Центральным элементом данного узла является цифро-аналоговый преобразователь AD9761 фирмы Analog Devices.

**1. СПЕЦИФИКАЦИЯ**

Модуль управления цифро-аналоговым преобразователем предназначен для обеспечения протокола обмена с ЦАП, то есть:

1. формирования тактовой частоты, равной 40 МГц;
2. формирования сигнала записи;
3. формирования сигнала выбора канала для режима мультиплексирования данных;
4. подачи информационного цифрового сигнала.

Условное графическое представление модуля управления цифро-аналоговым преобразователем представлено на рисунке 1.1.

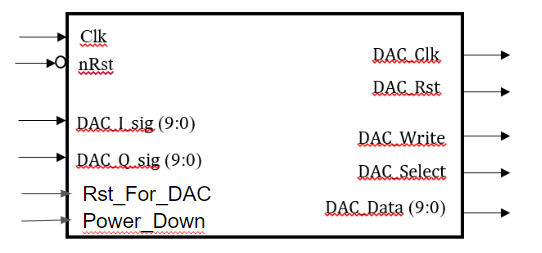


Рисунок 1.1 — Условное графическое представление модуля управления ЦАП

2. СИГНАЛЫ ИНТЕРФЕЙСА И ИХ ОПИСАНИЕ

Описание сигналов представлено в таблице 2.1.

Таблица 2.1. Описание сигналов

| № п.п. | Сигнал | Напр. | Описание |
| --- | --- | --- | --- |
| Системные сигналы | | | |
| 1 | Clk | in | Тактовый сигнал |
| 2 | nRst | in | Сигнал сброса |
| 3 | DAC\_I\_sig (9:0) | in | Синфазная составляющая модулированного гармонического сигнала. Этот сигнал также может использоваться для передачи немодулированного гармонического сигнала (синусоидального, пилообразного или меандра) |
| 4 | DAC\_Q\_sig (9:0) | in | Квадратурная составляющая модулированного гармонического сигнала (разница фаз гармонической и квадратурной составляющих равна 90°). Данный сигнал при передаче немодулированного гармонического сигнала заполняется нулями. |
| 5 | Rst\_For\_DAC | in | Сигнал сброса ЦАП |
| 6 | Power\_Down | in | Сигнал выключения ЦАП |
| Сигналы **модуля управления ЦАП описаны в разделе 4.1.5** | | | |
| Сигналы интерфейса **ЦАП** | | | |
| 7 | DAC\_Clk | out | Тактовый сигнал ЦАП |
| 8 | DAC\_Rst | out | Сигнал сброса ЦАП |
| 9 | DAC\_Write | out | Сигнал записи данных с входной шины |
| 10 | DAC\_Select | out | Сигнал выбора канала при режиме мультиплексирования |
| 11 | DAC\_Data (9:0) | out | Входная шина данных для ЦАП |

**2.1. Пояснения к сигналам**

**2.1.1. Входные сигналы**

DAC\_I\_sig показывает синфазную составляющую модулированного гармонического сигнала. Также сигнал используется для передачи немодулированного гармонического сигнала (синусоидального, пилообразного или меандра)

DAC\_Q\_sig это квадратурная составляющая модулированного гармонического сигнала а при передаче немодулированного гармонического сигнала он заполняется нулями.

**2.1.2. Выходные сигналы**

DAC\_Clk отвечает за тактовую частоту ЦАП, которая в 2 раза меньше частоты входного сигнала Clk.

DAC\_Data (9:0) является наложением входных сигналов DAC\_I\_sig и DAC\_Q\_sig, которые записываются по очереди (сначала I, затем Q) в соответствии со значением сигнала DAC\_Select по сигналу записи DAC\_Write.

**3. ОТЧЁТ О ВЕРИФИКАЦИИ**

**3.1. Верификация модуля**

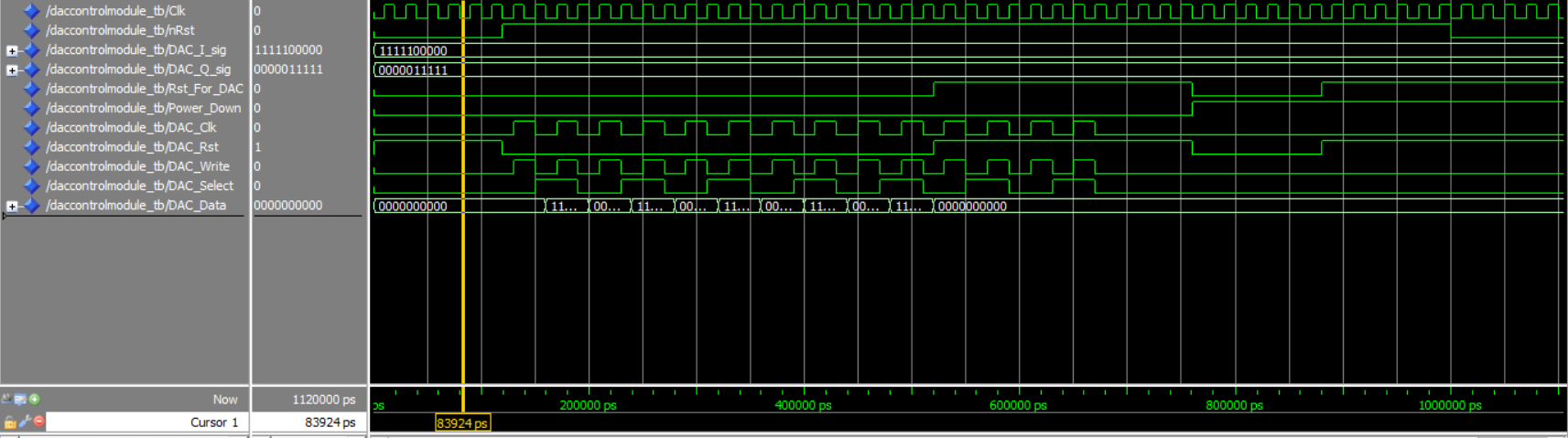


Рис. 3.1. Временная диаграмма работы модуля

На диаграмме (рис. 3.1.) представлен нормальная работа устройства.

**3.2. Проверка согласования с соседними модулями**

Для проверки согласования и возможности интеграции проект был собран в специальный тестбенч, содержащий три модуля: анализатор протокола генератора сигналов, модуль синтеза периодических сигналов генератора сигналов, модуль управления ЦАП.

Структурная схема межсоединений показана на рисунке 3.3.

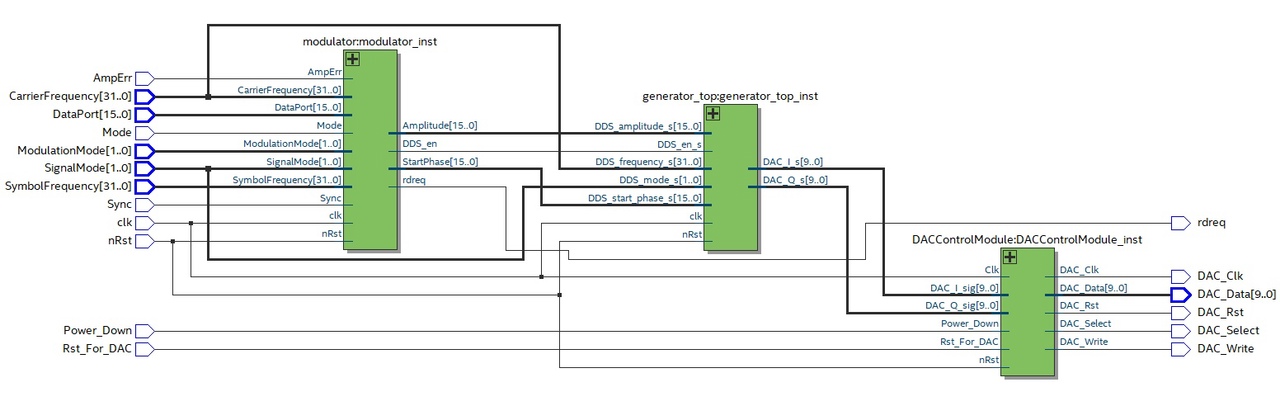


Рис. 3.3. Соединение соседних модулей в проекте.

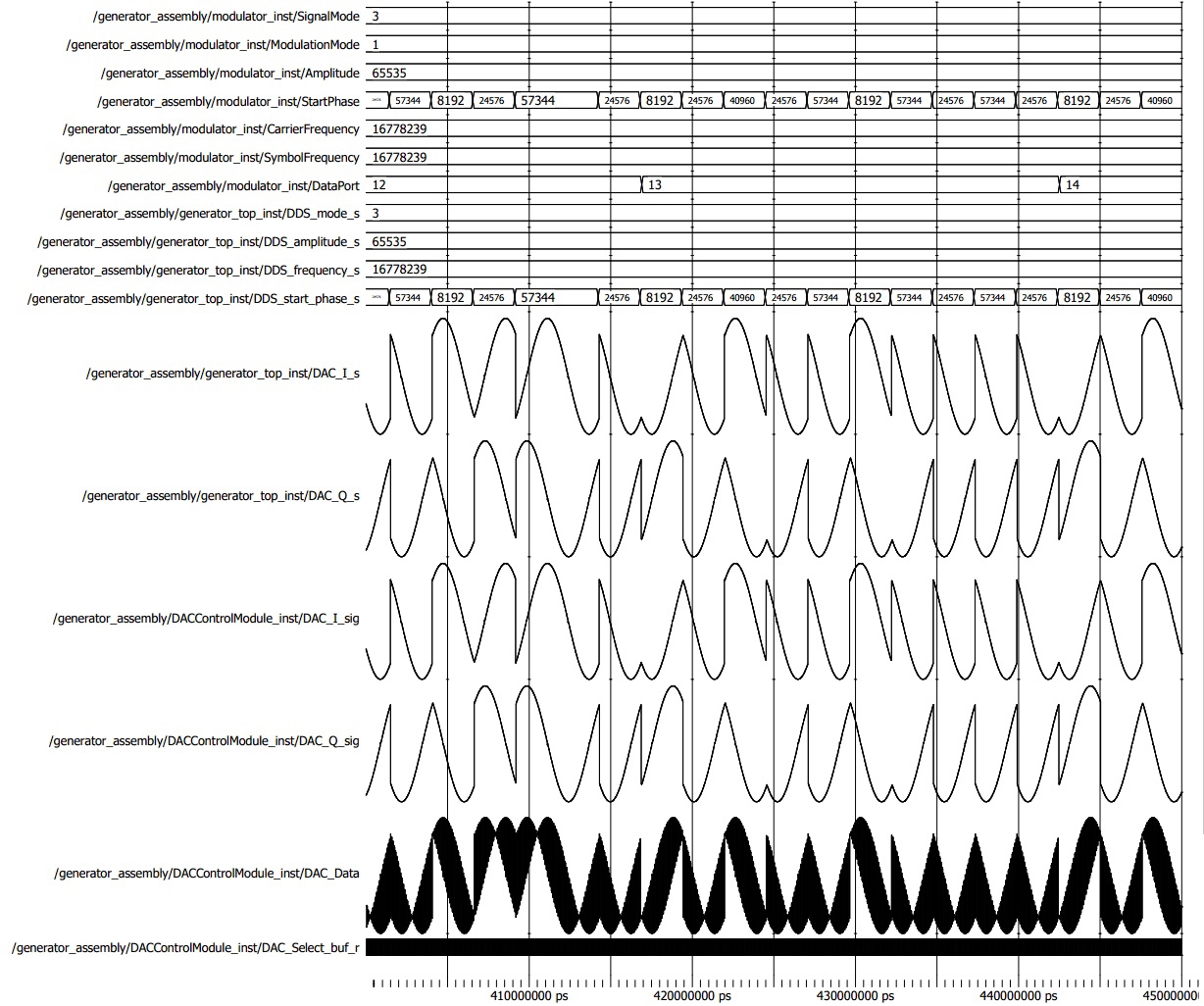


Рис. 3.4. Временная диаграмма общей сборки из трёх модулей.

**4. СИНТЕЗ СХЕМЫ И ВРЕМЕННЫЕ ХАРАКТЕРИСТИКИ**

Для проверки синтезируемости были проведены стадии Analysis & Synthesis, Place & Route, Generate programming files и Timing Analysis спроектированной схемы для ПЛИС семейства Cyclone 10 LP. На рисунках 4.1-4.5 представлены результаты проведенного синтеза. Все этапы синтеза пройдены успешно.

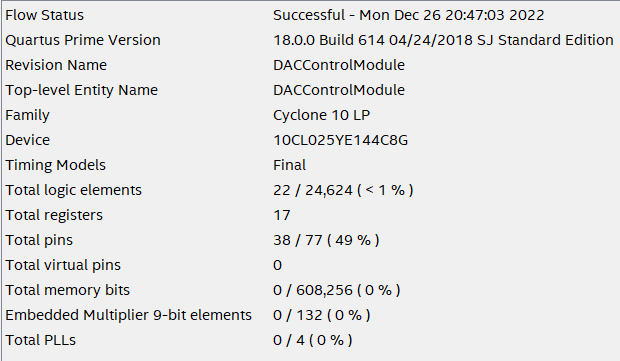


Рис. 4.1. Отчёт о занимаемых ресурсах.



Рис. 4.2. Используемые тактовые сигналы.

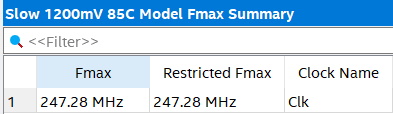


Рис. 4.3. Отчёт о временных характеристиках модуля при 85 С.

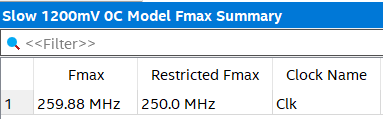


Рис. 4.4. Отчёт о временных характеристиках модуля при 0 С.

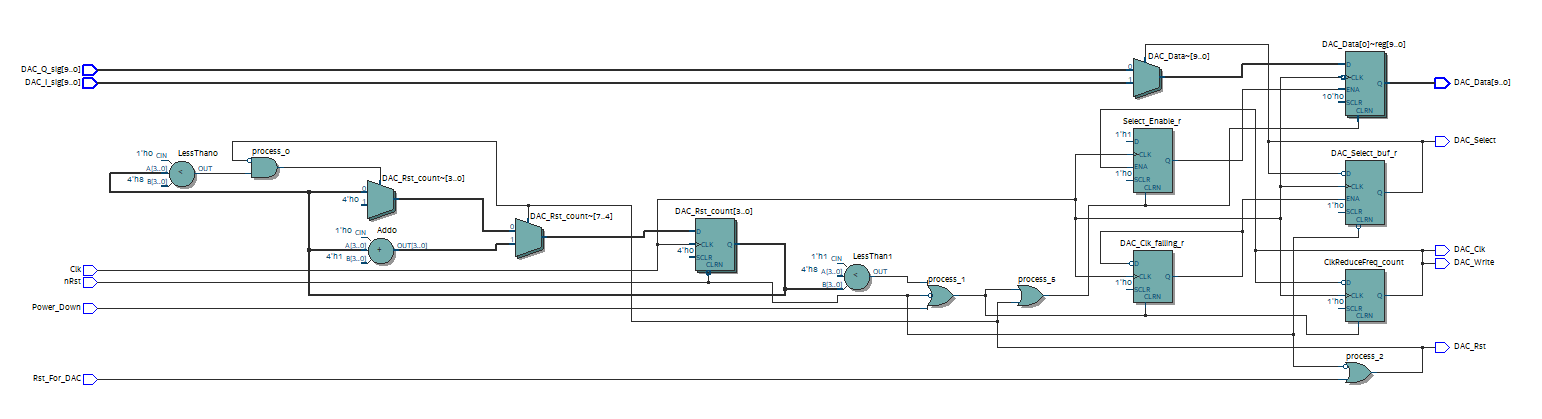


Рис. 4.5. RTL-диаграмма модуля.

**ЗАКЛЮЧЕНИЕ**

В процессе выполнения курсовой работы были разработаны модуль управления ЦАП, предназначенный для обеспечения протокола обмена с ЦАП.

С помощью ModelSim 10.5b проведена симуляция работы устройства c различными входными данными, а также с соседними модулями.

Также с помощью Quartus Prime 18.0 была выполнена проверка проекта на синтезируемость для ПЛИС семейства Cyclone 10 LP.

В рамках выполнения курсовой работы были получены практические навыки в разработке проекта на языке описания оборудования VHDL, его тестирования в среде ModelSim 10.5b и синтеза в Quartus Prime 18.0.